

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-080978
 (43)Date of publication of application : 02.04.1993

(51)Int.Cl.

G06F 7/38

(21)Application number : 03-238428

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.09.1991

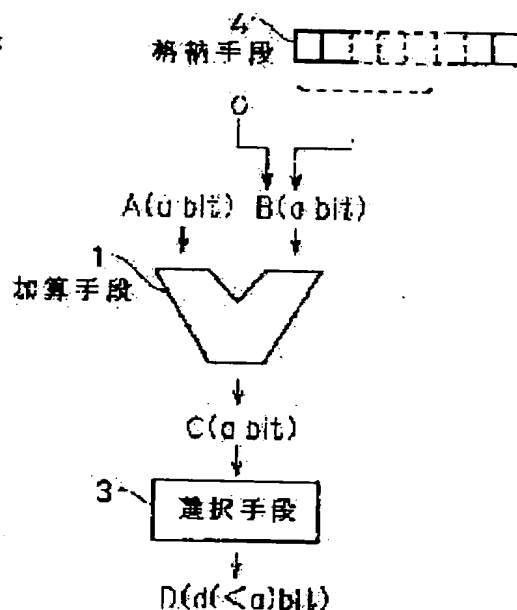
(72)Inventor : MATSUI SATOSHI

(54) ARITHMETIC PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To provide an arithmetic processing circuit which can perform its processing at a high speed in a simple constitution by providing a storing means, an adder means and a selector means.

CONSTITUTION: A storing means 4 is provided to previously store the rounding data needed for the rounding processing of the data of a prescribed number of bits together with an adder means 1 which adds the correction value data obtained from the data stored in the means 4 to the data of a prescribed number of bits, and a selector means 3 which extracts the data of an optional number of bits out of the data added by the means 1. Furthermore the means 4 stores previously the offset data needed for the offset designation of the data of a prescribed number of bits. Then the means 1 adds the correction value data obtained from the offset data stored in the means 4 to the data of a prescribed number of bits. In such a constitution, a memory which stores the correction value data is not needed and the arithmetic processing is carried out at a high speed in a simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-80978

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.⁵

G 0 6 F 7/38

識別記号

庁内整理番号

F I

技術表示箇所

B 9291-5B

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号

特願平3-238428

(22)出願日

平成3年(1991)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 松井 聡

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

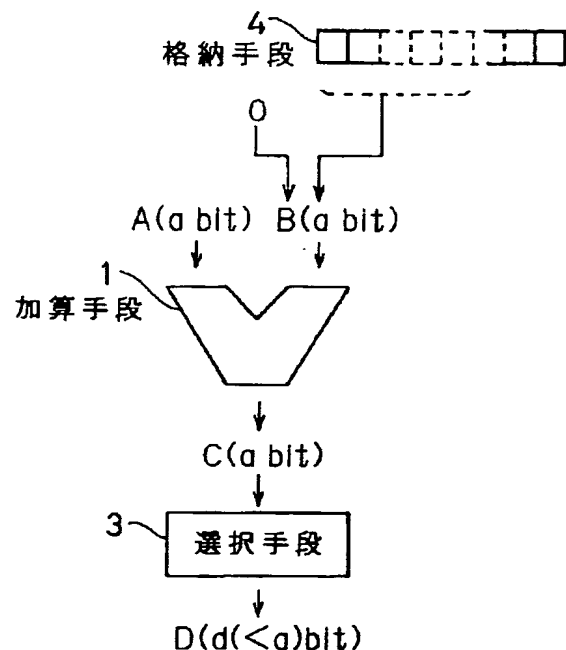
(54)【発明の名称】 演算処理回路

(57)【要約】

【目的】 本発明は乗算回路や積算回路等の演算処理回路に関し、簡易構成で高速処理を行うことを目的とする。

【構成】 レジスタ4に丸めデータを格納し、丸めデータに基づくaビットの補正值データBと、積和演算後のaビットのデータAとを加算器1により加算してaビットのデータCを得る。このデータCからセクタ3によりdビット ($d < a$) のデータDを抜き出す。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 所定ビット数のデータを丸め処理するための丸めデータを予め格納する格納手段（4）と、前記所定ビット数のデータに、該格納手段（4）に格納された該丸めデータに基づく補正值データを加算する加算手段（1）と、該加算手段により加算されたデータより、任意のビット数のデータを抜き出す選択手段（3）と、を有することを特徴とする演算処理回路。

【請求項2】 所定ビット数のデータをオフセット指定するためのオフセットデータを予め格納する格納手段（4）と、

該所定ビット数のデータに、該格納手段（4）に格納された該オフセットデータに基づく補正值データを加算する加算回路（1）と、を有することを特徴とする演算処理回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、乗算回路や積和回路等の演算処理回路に関する。

【0002】 近年、乗算回路や積和回路を使用するシステムにおいてはその出力ビット数に対し、全ての出力ビットを使用することは稀であり、大半のシステムではそのシステムで処理できるビット長にしてから使用している。従って、乗算回路や積和回路の出力をそのシステムで処理できる最適のビット長にするに際し、高速に処理する必要がある。

【0003】

【従来の技術】 図6に、従来の演算処理回路の構成図を示す。図中、1はデータA（aビットの演算結果）とデータB（aビットの演算結果補正值データ）の入力からデータC（aビットの演算結果補正後データ）が出力される加算回路である。2はRAM等のメモリであり、この中に演算結果補正值データがストアされている。3はビットのセレクトであり、aビットの中からdビットを抜き出すものである。

【0004】 このような構成において、演算器等により出力されるデータAと、メモリ等より出力されるデータBの入力を加算することにより、入力Aを補正して最終的なデータD（dビット<aビット）の出力を得ている。例えば、データA、Bが37（=a）ビットであり、加算回路1により加算されたデータCの37（=a）ビットより、16（=d）ビットのデータDに補正するものである。

【0005】 すなわち、乗算回路または積和回路のハードウェアでその結果を補正してデータD（dビット<aビット）にした後に、これを次の処理に使用したい場合には、RAM2等のメモリから補正值データを入力して加算することで演算結果補正処理を行なうものである。

【0006】

【発明が解決しようとする課題】 しかし、上述のように補正処理を行う場合、補正值データをRAM2にストアしていることから、該補正值データにおける設定、呼出しのオーバーヘッドが多くなって処理に長時間を要し、また種々の補正值データを使用する場合にはRAM2のメモリ領域が多く必要になるという問題がある。

【0007】 そこで、本発明は上記課題に鑑みなされたもので、簡易構成で、高速処理を行う演算処理回路を提供することとする。

【0008】

【課題を解決するための手段】 図1に、本発明の原理説明図を示す。なお、図6と同一の構成部分には同一の符号を付す。図1において、4は格納手段であり、所定ビット数のデータを丸め処理するための丸めデータを予め格納する。1は加算手段であり、前記所定ビット数のデータに、該格納手段4に格納された該丸めデータに基づく補正值データを加算する。3は選択手段であり、該加算手段1により加算されたデータより、任意のビット数のデータを抜き出す。

【0009】

【作用】 図1に示すように、格納手段4は丸めデータが予め格納されており、この丸めデータに基づく補正值データBを作成して、丸め処理を行うデータAに加算する。この場合、補正值データBのビット数は該丸め処理を行うデータのビット数aと同じであり、該補正值データのうち丸めデータ以外のビットは「0」とされる。

【0010】 そして、加算されたaビットのデータcからd（<a）ビットのデータDを選択手段3により抜き出すものである。

【0011】 このように、格納手段4は、必要なデータ長の全ビットを必要とせず不要部分に「0」を入れられ、また他の用途で使用するレジスタのような格納手段で余りビットに割り振ることにより、場所をとらず、この機能のためにRAMのような大メモリをとることなくハードウェアの増大を殆ど必要としないことから、呼出しに時間を要することなく高速処理を行うことが可能になる。

【0012】

【実施例】 図2に、本発明の一実施例の構成図を示す。図2の演算処理回路は積和演算回路の一例を示したもので、レジスタ4のビット12、13は丸めデータを格納しているものとする。

【0013】 図2中、5は乗算器であり、データE（16ビット）とデータF（16ビット）との積（32ビット）を出力する。6はセレクトであり、丸め処理実行時は格納手段であるレジスタ4からの2ビットの丸めデータに基づく補正值データを入力し、積和演算実行時は乗算器5からの乗算結果を入力して加算手段である加算器1に32ビットのデータBを出力する。また、セレクト6は丸め処理実行時のビット12、13以外のビットに

「0」を入力することも同時に行っている。7は積和の中間結果の保持をするラッチであり、32次の積和演算分として37ビットを有する。また、3は選択手段であるセクタであり、加算器1からの37ビットのデータより、16ビットの補正処理されたデータDを出力するものである。

【0014】ここで、図3(A)、(B)に、図2のセクタ6の論理回路図の一例を示す。図3(A)において、端子10からのコントロール信号が、アンドゲート11に入力されると共に、インバータ12を介してアンドゲート13に入力される。このコントロール信号は、例えば丸め処理実行時には「1」、積和演算実行時には「0」が印加される。

【0015】また、アンドゲート11には、端子14よりレジスタ4からの1ビット分（例えばビット12）の丸めデータが入力され、アンドゲート13には、端子15より乗算器5からの32ビットのデータのうちの1ビット分（例えばビット12）の乗算結果の信号が入力される。そして、アンドゲート11、13からの出力は、オアゲート16を介して端子17よりデータBのうちの1ビット分のデータが出力される。

【0016】一方、図3(B)において、アンドゲート13aには端子10aからコントロール信号がインバータ12aを介して入力されると共に、端子15aより乗算器5からの1ビット分の乗算結果の信号が入力される。そして、端子17aよりデータBの1ビット分のデータが出力される。すなわち、選択入力のないビットは、コントロール信号が「0」のときは「0」を、「1」のときは積の1ビットを入力させることにより、論理に無駄なく、面積を小さくすることができる。

【0017】すなわち、セクタ6は、これらの一系統が32系統パラレルに構成されるもので、32個の端子17が内部バス（図示せず）に接続されて加算器1に32ビットのデータBが入力されるものである。

【0018】そこで、図4に、図2のデータ形式を説明するための図を示す。図4(A)、(C)は、各データ形式を示しており、それぞれ固定小数点データとして扱っている。データD、E、F（図4(A)、(C)）は16ビットの固定小数点データであり、符号ビット及び整数ビットが各1ビットであり、残りの14ビットが小数点以下のデータで、 $-2 \sim +1.99 \dots$ までのデータを扱える。図4(B)におけるデータBは32ビットの固定小数点データであり、符号ビットが1ビット、整数ビットが3ビットであり、残りの24ビットが小数点以下のデータである。同様に、図4(C)におけるデータCは37ビットの固定小数点データであり、符号ビットが1ビット、整数ビットが8ビットであり、残りの28ビットが小数点以下のデータである。

【0019】本実施例では32次までの積和演算が可能である積和演算回路を構成しているため、37ビットの

積和中間結果データをラッチ7によりラッチする。

【0020】従って、図4(C)において、データCから16ビットのデータDを抜き出した場合、ビット29～ビット14を抜き出すことになるため、丸め用データはビット13以下に加算することになる。

【0021】図2において、まず、積和演算は、乗算器5、セクタ6、加算器1及びラッチ7で行う。すなわち、最初にデータE、Fの乗算を乗算器5で行い、ゼロとデータBとを加算し、その結果のデータCはラッチ7でラッチされ、次のステートのデータA入力としてデータBと加算器1により加算される。これを32次繰り返す。これにより、ラッチ7には37ビットのデータAがラッチされることになる。

【0022】積和演算が終わると、端子10からのコントロール信号によりセクタ6において、次の加算時データBにデータE×Fの結果ではなく32ビットのうち13ビット目と12ビット目にレジスタの内容が入り、それら以外には「0」が入った補正值データがセクタ6より出力されて加算器1に入力される。そして、ラッチ7からのデータAに加算し、データCのデータが出力される。

【0023】セクタ3はこのデータCからビット29～14のデータを抜き出し、出力する。この時、レジスタ4のビット12、13の値により丸めの精度が定まる。例えば、レジスタ4のビット13が「1」、ビット12が「0」の時は $1/2$ から切り上げとなる。また、ビット13が「0」、ビット12が「1」の時は $1/4$ から切り上げとなり、ビット13、12が共に「1」の時は $1/4$ から切り上げとなる。なお、ビット13、12が共に「0」のときは切り捨てとなる。

【0024】このように、2ビット分の丸めデータをレジスタ4に格納しておくことにより、 $1/4$ の精度で丸め処理を行うことができる。この場合、RAM等のメモリを必要とせずレジスタ4を使用することにより、また、レジスタ4の丸めデータ以外のビットに制御データ等を格納することにより、無駄なメモリを省くことができる。従って、丸めメモリ処理を行う場合の丸めデータの呼出しに時間を要することなく高速に処理することができる。

【0025】なお、上記実施例では、レジスタ4内に2ビットの丸めデータを格納する場合を示したが、丸め精度により何ビットとしてもよい。また、丸めデータを固定小数点の小数部分のみに加算する場合を示しているが、オフセットデータをレジスタ4に格納し、オフセットデータに基づく補正值データにより整数部分に符号付きの一定の値を加算してオフセット指定することができる。この場合、丸め処理とオフセット指定を一つの演算処理回路で行うこともでき、丸めデータ及びオフセットを共通にして各補正值データを作成しても良い。

【0026】次に、図5に、本発明の他の実施例の構成

図を示す。図2においては、乗算器5の乗算結果と丸めデータ（又はオフセットデータ）とをセクタ6に入力させているが、図5においては、2つのセクタ18, 19を設け、セクタ18には端子20よりデータE及び端子21より丸めデータ（オフセットデータ）を入力させ、セクタ19には端子21よりデータF及び端子21より丸めデータ（オフセットデータ）を入力させる。そして、セクタ18, 19の出力データを乗算器23により乗算して端子24より加算器1（図2）に入力させるものである。

【0027】すなわち、データE, Fのどちらか、又は両方と、丸めデータ（オフセットデータ）とをセクタ18, 19でセレクトし、乗算器23の結果を丸めデータ（オフセットデータ）に基づく補正值データとするもので、作用効果は図2と同様である。

【0028】

【発明の効果】以上のように本発明によれば、格納手段に丸めデータ（オフセットデータ）を格納し、該丸めデ

ータ（オフセットデータ）に基づく補正值データで処理（オフセット指定）を行うことにより、補正值データを記憶させるメモリを不用とし、簡易構成で高速処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例の構成図である。

【図3】図2のセクタの論理回路図である。

【図4】図2のデータ形式を説明するための図である。

【図5】本発明の他の実施例の構成図である。

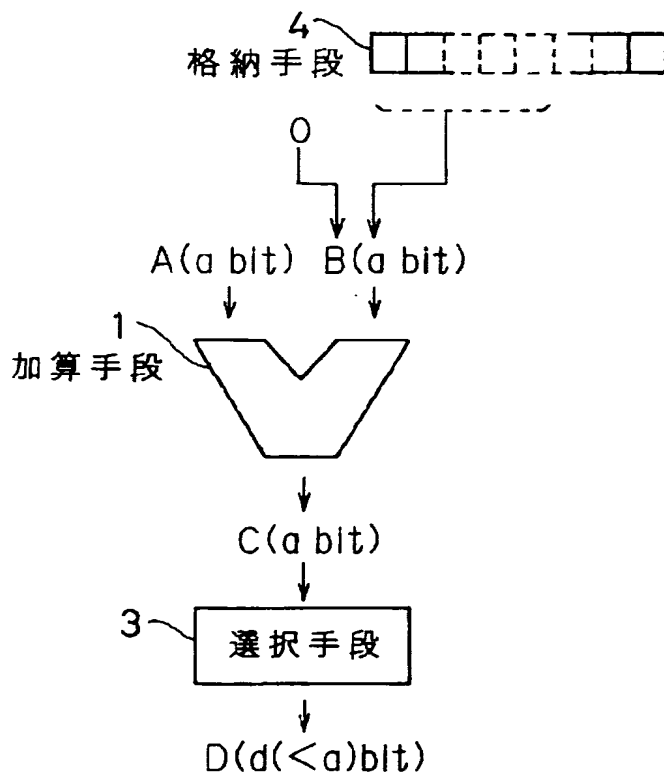
【図6】従来の演算処理回路の構成図である。

【符号の説明】

- 1 加算手段（加算器）
- 3 選択手段（セクタ）
- 4 格納手段（レジスタ）
- 5 乗算器
- 6 セクタ
- 7 ラッチ

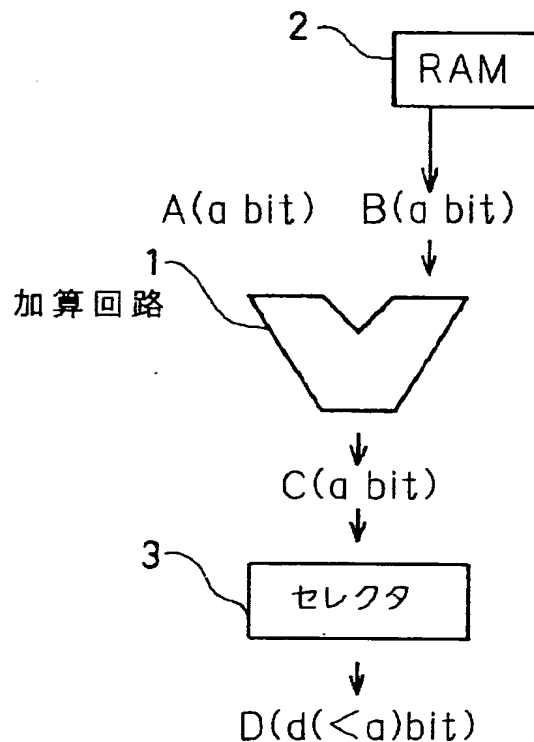
【図1】

本発明の原理説明図



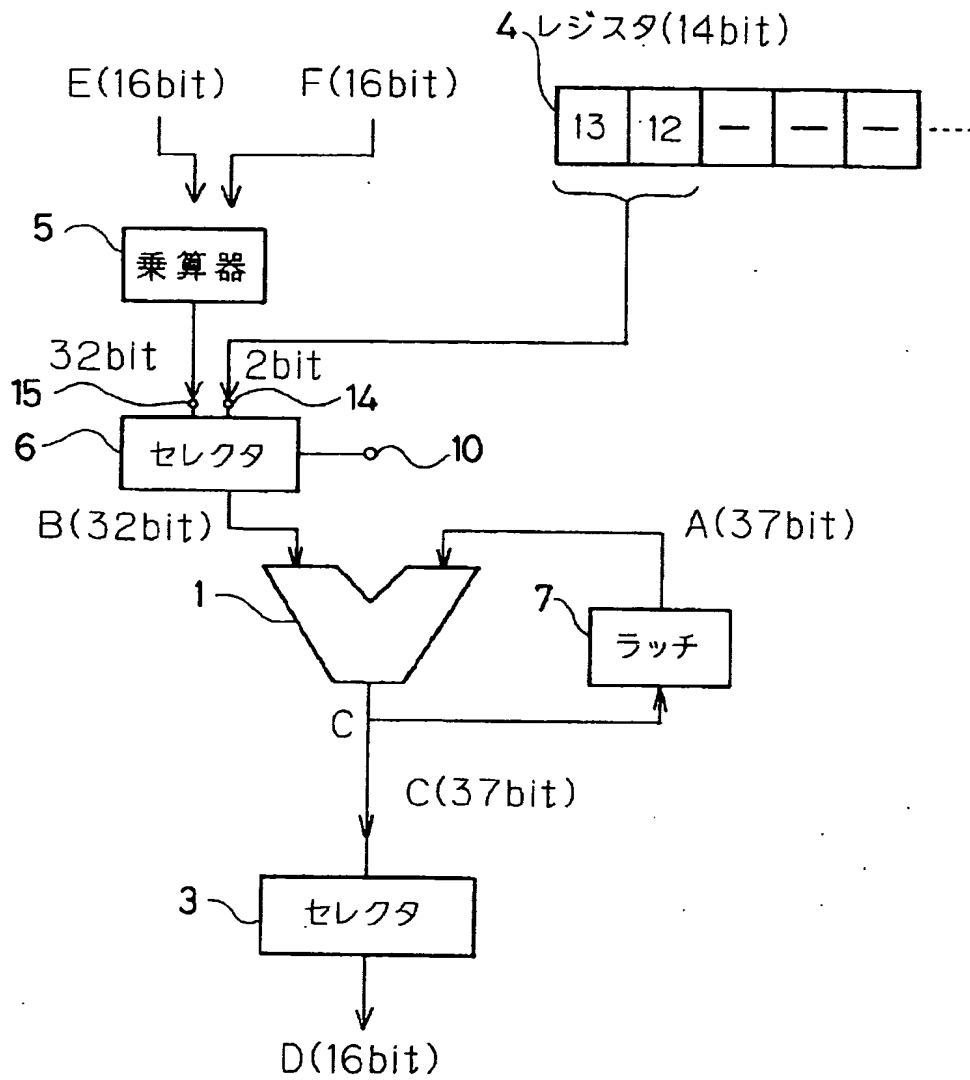
【図6】

従来の演算処理回路の構成図



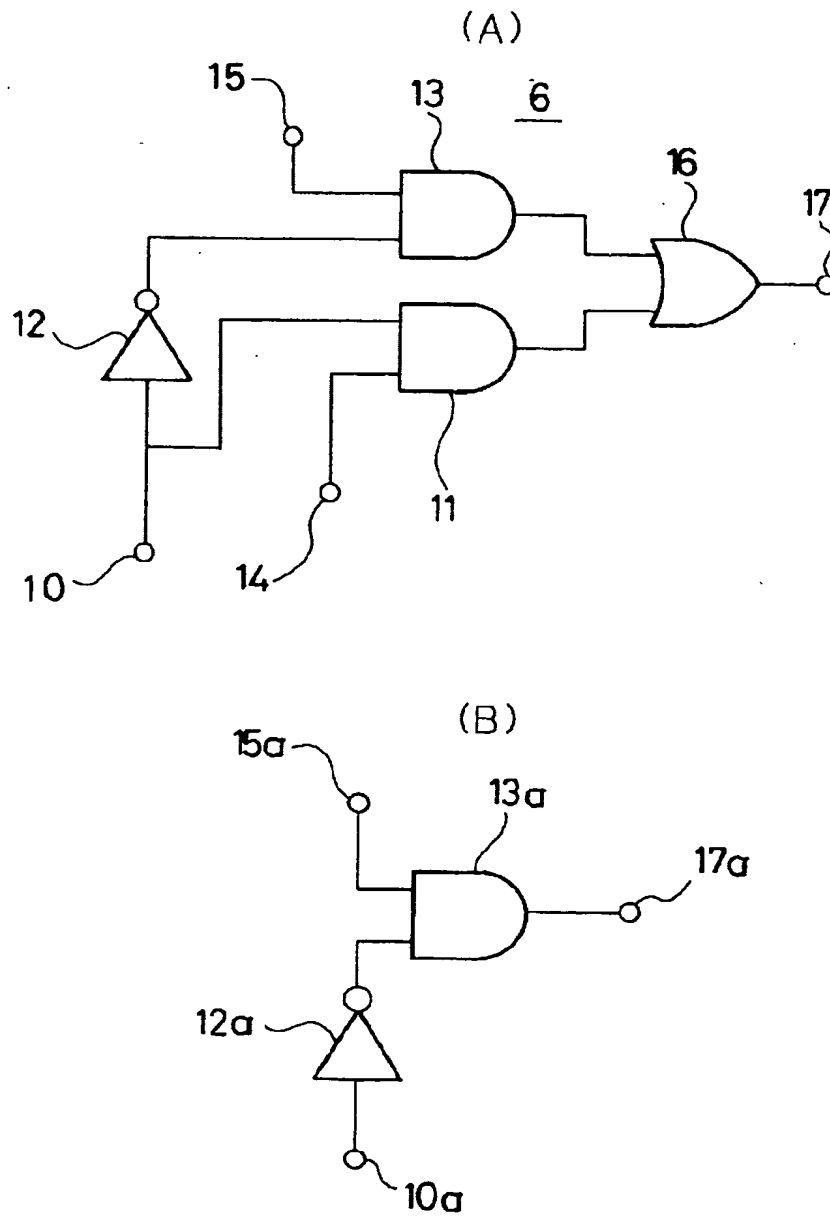
【図2】

本発明の一実施例の構成図



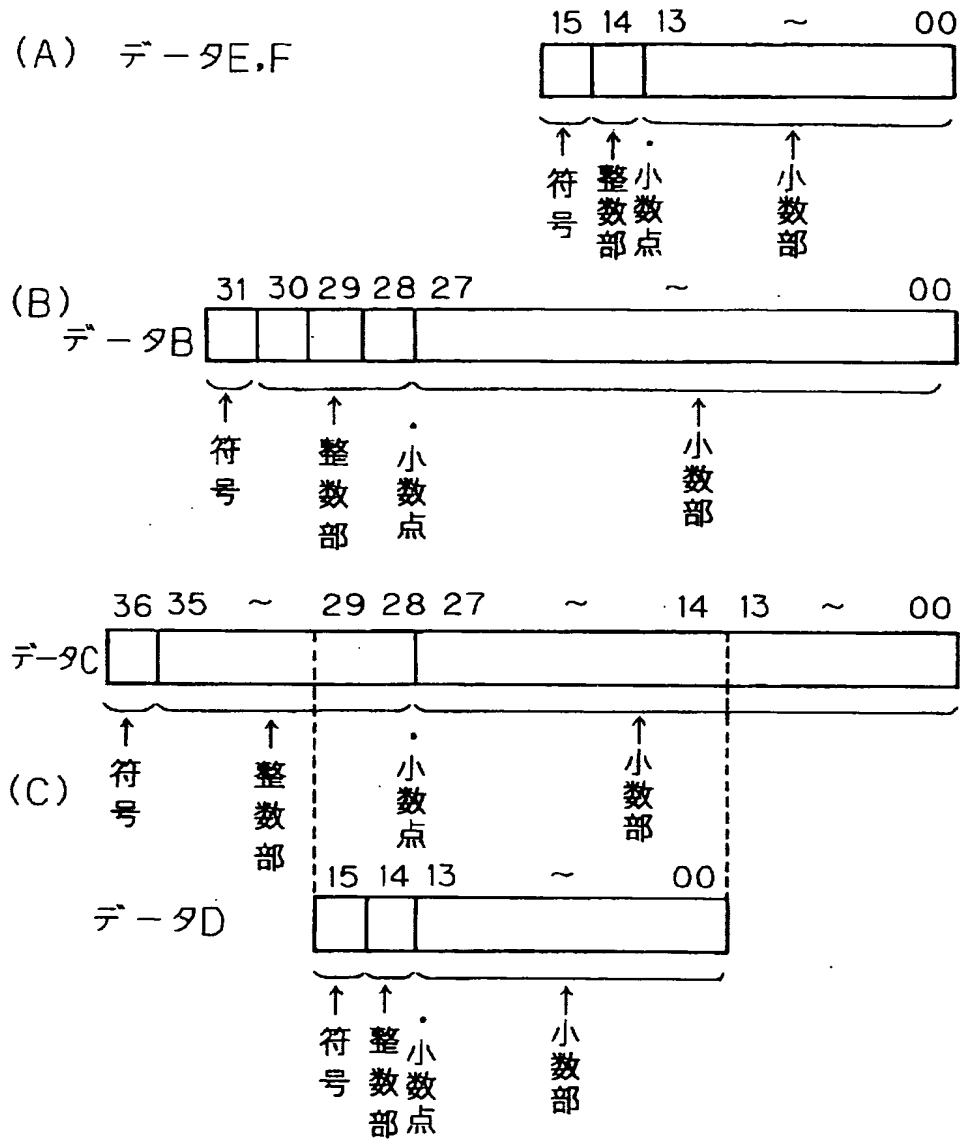
【図3】

図2のセクタ6の論理回路図



【図4】

図2のデータ形式を説明するための図



【図5】

本発明の他の実施例の構成図

